

台积电三星明确2纳米路线图 延续制程大战

本报记者 谭伦 北京报道

随着3纳米芯片于今年9月正式进入消费级市场，全球2纳米芯片的制程之战也逐渐迫近。10月19日，台积电总裁魏哲家在法人说明会上表示，台积电有望在2025年量产2纳米芯片。

值得注意的是，这并非台积电首次对外释出2纳米制程的进展计划。2022年6月，台积电方面披露，外界关注的3纳米制程将在当年下半年试产，同时将花费1万亿新台币(折合约2290亿元人民币)扩大2纳米产能布局，并在2024年试产，

准备充分

台积电方面曾确认，2纳米技术将提供全节点改进，以支持台积电客户的下一代产品创新。

虽然早在2022年6月，三星量产了基于GAA工艺的3纳米芯片，但后续的低良率问题，也成为冒险赶超台积电的代价。公开信息显示，量产初期，三星的3纳米良率只有20%。即便后续进行了持续改进，三星最新的3纳米制程良率也只徘徊于60%上下。

与此对比，对于新工艺更为谨慎的台积电则在2纳米的研发上做好了充足准备。据悉，为了配合GAA结构，台积电在2纳米工艺上引入包括GAA晶体管、背面供电和超高性能电容器在内的多项新技术，同时，芯片设计需要使用全新的EDA、模拟和验证工具。目前，Cadence、Synopsys、Ansys、Siemens EDA等开发的EDA工具都已经获得台积电认证，可供设计人员使用。

台积电提供的数据显示，与3纳米技术相比，2纳米技术在性能和功率效率方面有着显著的提

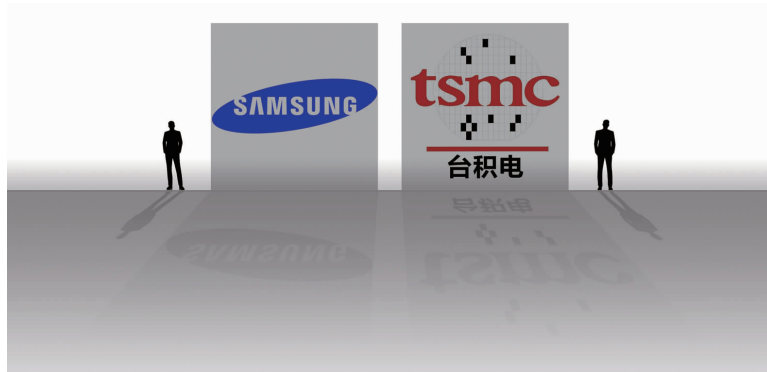
2025年开始量产。

台积电方面表示，2纳米芯片将采用新的纳米片技术，这将使得该制程成为电晶体密度最小、效能最佳的先进制程技术。据悉，这一新工艺是指采用新的纳米片晶体管(GAA)结构，以取代目前主流的鳍式场效应晶体管(以下简称“FinFET”)结构。相比于后者，GAA结构可以更为精确地减少漏电流损耗，降低功耗。

与此同时，作为台积电的老对手，三星电子也在6月举行的2023三星晶圆代工论坛上，公布了2纳

米制程的最新路线图。三星电子总裁兼晶圆代工业务负责人崔时荣会上透露，三星将自2025年起首先于移动终端量产2纳米制程芯片，随后在2026年将其用于高性能计算(HPC)产品，并于2027年扩至车用芯片。

“从2纳米开始，两家公司在制程工艺上的竞争可能才算正式开始。”半导体分析师季维告诉《中国经营报》记者，此前为了赶超台积电，三星抢在3纳米工艺上率先采用了GAA新工艺，而2纳米才算是首次拉开了双方在GAA工艺领域的竞争大幕。



随着全球半导体市场需求的改变，先进制程市场的前景也将存在一些变数。视觉中国/图

升。在相同功耗下，速度将增加10%~15%，或者在相同速度下，功耗将降低25%~30%。

“GAA解决了过去在工艺上存在的漏电问题。”CHIP全球测试中心中国实验室主任罗国昭告诉记者，进入5纳米以后，FinFET工艺的漏电效应就开始变成非常棘手的问题，过去可以通过控制晶体管的间距降低这一影响，但随着制程越来越低，漏电已经无法解决。

季维则表示，虽然台积电延迟了在2纳米上对GAA工艺的尝试，但其3纳米芯片目前的量产良率也同样并不理想。这一因素也将增加台积电

在2纳米领域的投入与布局力度。

记者注意到，在今年6月举行的北美技术论坛上，台积电方面曾确认，2纳米技术将提供全节点改进，以支持台积电客户的下一代产品创新。除了移动计算基准版本之外，2纳米技术平台还包括一个高性能变体，以及全面的小芯片集成解决方案。

“这说明台积电非常看重2纳米芯片量产前的生态筹备。”季维表示，目前台积电已为2纳米规划了三个生产基地，在2025年正式量产前，台积电应该还会在2纳米工艺的前期布局上公布更多的新动作。

两超一强竞逐

与台积电一样，三星还公布了加强与国内和国际无晶圆厂进行合作的计划，以培育包括AI半导体在内的国内半导体产业生态链。

3纳米良率上的挫折，虽让三星仍落后台积电一个身位，但这并未折损其对赶超台积电的雄心。今年5月，三星电子总裁、半导体业务主管庆桂显放出豪言，将在5年内超越台积电。他表示，虽然三星目前在芯片加工技术上落后于台积电，但有望在2纳米加工节点上实现领先。

而在三星的详细路线图中，除了同样于2025年量产2纳米的应用扩展到3D封装。他表示，三星已在半导体业务部门内组建了先进封装(AVP)业务团队，加速下一代半导体后处理技术的研发。同时，到2027年，三星计划如期量产1.4纳米工艺。

前景未明

良率是目前巨头们在2纳米制程上收回成本亟须解决的最大挑战。

多年以来，台积电与三星在最先进制程领域的对决一直都在持续。而在业内看来，此次2纳米的竞争，也将同样延续这一大体态势，但随着全球半导体市场需求改变，先进制程市场的前景也将存在一些变数。

最大的挑战仍是来自消费市场的疲软。自2022年下半年开始，受半导体产能短缺转为过剩的态势影响，全球半导体市场在连续增长8个季度后，于当年第二季度首次出现收入下滑，第三季度更是延续颓势，下降了7%。Gartner预测，全球半导体市场的低迷将持续到2023年。

此外，与台积电一样，三星还公布了加强与国内和国际无晶圆厂进行合作的计划，以培育包括AI半导体在内的国内半导体产业生态链。崔时荣表示，要发展代工业务，三星需要一个以无晶圆厂公司为中心的强大半导体生态系统。

持续的追赶，也让台积电感受到了些许压力。最新第三季度的业绩报告显示，虽然台积电市场份额依旧稳定，但净利润和毛利率均出现了一定程度的下滑。Counterpoint研报数据也分析指出，今年第二季度，台积电在全球晶圆代工市场的份额约为57%，同比增长1个百分点，但环比下滑2个百分点，其中，下滑的市场则被三星电子、联发科和中芯国

际分食。

值得注意的是，两强竞争之时，老牌巨头英特尔也宣布卷入这场先进制程之战。根据“四年五个制程节点”的IDM 2.0战略，英特尔将在2024年~2025年量产20A、18A工艺(相当于2纳米、1.8纳米)。英特尔方面表示，目前正全力以赴推进内部和外部测试1.8纳米制程，预计年内流片。

“2纳米制程方面，两超一强的竞争格局基本已经确定。”季维指出，如果1.8纳米如期推出，包括联发科、高通、英伟达在内的芯片设计巨头都将大概率成为英特尔的未来客户。目前，爱立信已宣布与英特尔合作，采用其1.8纳米制程工艺来定制5G芯片。

更加认识到先进制程的局限。

此外，良率是目前巨头们在2纳米制程上收回成本亟须解决的最大挑战。此前据韩媒报道，三星、台积电的3纳米工艺良率目前都仅有50%左右，这让企业付出了巨大的成本，尤其是台积电，高企的成本会极大拉低财报表现，进而影响到在最新制程方面的投入。

“按照正常的惯例，良率至少要达到70%以上，订单量才会稳步提升。”季维告诉记者，在解决3纳米的良率挑战前，包括高通、联发科在内的2纳米大客户可能会谨慎观望，这对于台积电和三星而言，显然将会是最大的麻烦。

中国经营报

CHINA BUSINESS JOURNAL

2024

年征订已开启

1 周一出版

2 彩色印刷

3 全国发行

广告



经营成就价值

创建于1985年的《中国经营报》，由中国社会科学院主管，中国社会科学院工业经济研究所主办，《中国经营报》社有限公司出版，报社始终秉承“终身学习、智慧经营、达善社会”的理念，洞察商业现象，解读商业规律，助推商业文明。服务于中国的商务管理阶层、企业经营管理者，为读者提供全方位的资讯产品。《中国经营报》遵循“重要、有用、深入、可读”的新闻理念，立足经济前沿，捕捉财经资讯，挖掘商业价值，记录和见证中国经济的发展，是国内领先的综合财经媒体服务商。

订阅价格 240元/年



读者服务: 010~88890120



邮局订阅: 11185

码上订阅

